

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-115147

(43)Date of publication of application : 21.04.2000

(51)Int.Cl. H04L 7/00
H04L 7/02

(21)Application number : 10-284167 (71)Applicant : SEIKO EPSON CORP

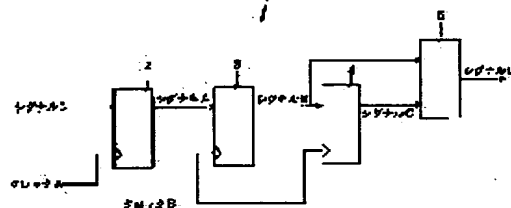
(22)Date of filing : 06.10.1998 (72)Inventor : TERAJ MAKOTO

(54) ASYNCHRONOUS ABSORPTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To surely transfer signals between circuits operated by different clock frequencies and to surely prevent the propagation of a metastable state.

SOLUTION: This asynchronous absorption circuit is provided with a first signal generation circuit part 2 for inputting prescribed signals and a first clock and generating a first signal synchronized with the first clock, a second signal generation circuit part 3 for inputting the first signal and the second clock of a frequency higher than the first clock and generating a second signal synchronized with the second clock, a third signal generation circuit part 4 for inputting the second signal and the second clock and generating a third signal synchronized with the second clock and a forth signal generation circuit part 5 for inputting the second signal and the third signal and generating a period where both signals are in different states as a forth signal. Also it can be provided with a forth change signal generation circuit part for inputting the third signal and the second clock and generating a forth change signal synchronized with the second clock and a fifth signal generation circuit part for inputting the third signal and the forth change signal and generating the period where both signals are in the different states as a fifth signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-115147

(P2000-115147A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl.

識別記号

F I

テーマコード (参考)

H 0 4 L 7/00

H 0 4 L 7/00

A 5 K 0 4 7

7/02

7/02

Z

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平10-284167

(22) 出願日 平成10年10月6日 (1998. 10. 6)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 寺井 真

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外 2 名)

F ターム (参考) 5K047 AAD2 GG02 GG07 GG24 GG28

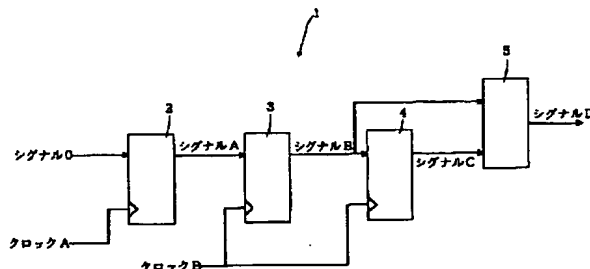
MM12 MM49

(54) 【発明の名称】 非同期吸収回路

(57) 【要約】

【課題】異なるクロック周波数で動作している回路間での信号のやり取りを確実に行うこと。また、メタステーブル状態の伝播を確実に防ぐこと。

【解決手段】この非同期吸収回路 1 では、所定の信号および第 1 のクロックを入力して、その第 1 のクロックに同期した第 1 の信号を生成する第 1 信号生成回路部 2 と、第 1 の信号および第 1 のクロックより高い周波数の第 2 のクロックを入力して、その第 2 のクロックに同期した第 2 の信号を生成する第 2 信号生成回路部 3 と、第 2 の信号および第 2 のクロックを入力して、その第 2 のクロックに同期した第 3 の信号を生成する第 3 信号生成回路部 4 と、第 2 の信号および第 3 の信号を入力して両信号が異なる状態である期間を第 4 の信号として生成する第 4 信号生成回路部 5 とを備えている。また、第 3 の信号および第 2 のクロックを入力しかつ第 2 のクロックに同期した第 4 の変更信号を生成する第 4 変更信号生成回路部と、第 3 の信号および第 4 の変更信号を入力して両信号が異なる状態である期間を第 5 の信号として生成する第 5 信号生成回路部とを備えても良い。



1

【特許請求の範囲】

【請求項 1】 所定の信号および第 1 のクロックを入力して、その第 1 のクロックの立ち上げまたは立ち下げを利用して、その第 1 のクロックに同期した第 1 の信号を生成する第 1 信号生成回路部と、上記第 1 の信号および上記第 1 のクロックより高い周波数の第 2 のクロックを入力して、その第 2 のクロックの立ち上げまたは立ち下げを利用して、その第 2 のクロックに同期した第 2 の信号を生成する第 2 信号生成回路部と、上記第 2 の信号および上記第 2 のクロックを入力して、その第 2 のクロックに同期した第 3 の信号を生成する第 3 信号生成回路部と、上記第 2 の信号および上記第 3 の信号を入力して両信号が異なる状態である期間を第 4 の信号として生成する第 4 信号生成回路部とを備えることを特徴とする非同期吸収回路。

【請求項 2】 所定の信号および第 1 のクロックを入力して、その第 1 のクロックの立ち上げまたは立ち下げを利用して、その第 1 のクロックに同期した第 1 の信号を生成する第 1 信号生成回路部と、上記第 1 の信号および上記第 1 のクロックより高い周波数の第 2 のクロックを入力して、その第 2 のクロックの立ち上げまたは立ち下げを利用して、その第 2 のクロックに同期した第 2 の信号を生成する第 2 信号生成回路部と、上記第 2 の信号および上記第 2 のクロックを入力して、その第 2 のクロックの立ち上げまたは立ち下げを利用して、その第 2 のクロックに同期した第 3 の信号を生成する第 3 信号生成回路部と、上記第 3 の信号および上記第 2 のクロックを入力して、その第 2 のクロックの立ち上げまたは立ち下げを利用して、この第 2 のクロックに同期した第 4 の変更信号を生成する第 4 変更信号生成回路部と、上記第 3 の信号および上記第 4 の変更信号を入力して両信号が異なる状態である期間を第 5 の信号として生成する第 5 信号生成回路部とを備えることを特徴とする非同期吸収回路。

【請求項 3】 入力してきた信号に対しての同期信号を取る第 2 信号生成回路部に相当する回路を、前記第 2 信号生成回路部と前記第 3 信号生成回路部との間に 1 個以上設けたことを特徴とする請求項 1 または 2 記載の非同期吸収回路。

【請求項 4】 前記第 1 のクロックのサイクル幅が、前記第 2 のクロックのサイクル幅を 2 倍したサイクル幅より小さくなる前記第 1 のクロックを使用すると共に、前記所定の信号および前記第 1 のクロックの各サイクル幅を n 倍 (n は 2 以上の整数) する分周手段を前記第 1 信号生成回路部の手前側に設けたことを特徴とする請求項 1、2 または 3 記載の非同期吸収回路。

【請求項 5】 所定の信号および第 1 のクロックを入力して、その第 1 のクロックの立ち上げまたは立ち下げを利用して、その第 1 のクロックに同期した第 1 の信号を

2

生成する第 1 信号生成回路部と、上記第 1 の信号および上記第 1 のクロックより高い周波数の第 2 のクロックを入力して、その第 2 のクロックの立ち上げまたは立ち下げを利用して、その第 2 のクロックに同期した第 2 の信号を生成する第 2 信号生成回路部とを備え、上記第 1 のクロックのサイクル幅が、上記第 2 のクロックのサイクル幅を 2 倍したサイクル幅より小さくなる上記第 1 のクロックを使用すると共に、上記第 1 信号生成回路部の後に、上記第 1 のクロックによる上記第 1 の信号の状態を、その第 1 のクロックを基準として m 個おき (m は 1 以上の整数) に取って $m+1$ 個の信号を生成する振り分け回路を設け、この振り分け回路による各信号を $m+1$ 個の上記第 1 信号生成回路部と同様な回路部に入力させ、各信号を請求項 1 から 3 のいずれか 1 項記載の非同期吸収回路によって処理したことを特徴とする非同期吸収回路。

【請求項 6】 第 1 の回路から送られる映像信号を受け取る第 2 の回路と、第 2 の回路からの表示信号によって画像を表示する表示手段とを有し、上記映像信号による仮想表示領域に比べ、上記表示信号による現表示領域が小さいものとなる画像表示装置用の非同期吸収回路において、上記表示信号を上記第 1 の回路へフィードバックし、上記映像信号中の画像データが上記現表示領域中に現れない場合、その画像データを上記第 2 の回路に送出しないようにしたことを特徴とする非同期吸収回路。

【請求項 7】 第 1 のクロックで動く第 1 の回路と、この第 1 の回路からの映像信号を受け取る第 2 のクロックで動くインタフェース回路となる第 2 の回路と、上記第 1 の回路に設けられる第 1 のカウンタと、上記第 2 の回路に設けられる第 2 のカウンタとを備え、送信する上記映像信号中の画素数を上記第 1 のカウンタによってカウントし、受信する現画素数を上記第 2 のカウンタによってカウントし、上記第 2 のカウンタによるカウンタ値が所定数になる毎に、上記第 2 の回路から上記第 1 の回路へフィードバック信号を送信し、送信画素数と受信画素数の同期を取るようにしたことを特徴とする画像表示装置用の非同期吸収回路。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】 本発明は、ネットワークディスプレイ等の端末に映像や音声等のデータを送信し、表示等させる際に適用して好ましい非同期吸収回路に関する。

【0002】

【従来の技術】 従来、ネットワークディスプレイ等の端末に映像や音声のデータを送信して表示させるような場合、送信側と受信側のクロック周波数を同期させて行っている。しかし、同期させる場合、所定のクロック周波数を分周して他方のクロック周波数とすることによって一致させ、タイミングを合わせるか、送信側と受信側で

3

同期を確立してから送信するようにしている。

【0003】所定のクロック周波数を分周して同期をとる場合、ネットワークディスプレイ側は表示部の大きさ等によって、そのクロック周波数を自由に異ならせるようにすることができなくなり、最適な表示が得にくいものとなる。また、同期化させるには、送信側と受信側でのネゴシエーションや同期タイミングの確立等が必要となり、送受信速度が遅くなる。このため、ネットワークディスプレイのように、早い立ち上げやスムーズな表示が特に必要とされるものにはあまり好ましいとは言えないものとなっている。

【0004】

【発明が解決しようとする課題】従来の技術では、2つの異なるクロック周波数を有する回路間を非同期的に結ぶことができない。このため、本発明者は、図15に示すような非同期吸収回路71を工夫した。この非同期吸収回路71は、クロック周波数A（以下CLKAという）で動作している回路72からクロック周波数B（以下CLKBという）で動作している回路73に信号A（以下SIGAという）を送り、回路73によって信号B（以下SIGBという）を得るものとなっている。

【0005】この非同期吸収回路71は、レジスタ74でSIGAを取り出し、そのSIGAとCLKBとをレジスタ75に入れ、SIGBを取り出すものである。具体的には、図16に示す各信号のタイムチャートのように、例えば、映像のリセット信号となる信号O（以下SIGOという）がレジスタ74に入力してくると、そのSIGOをCLKAでつかまえる。すなわち、CLKAの立ち上がり時点でのSIGOの状態が“1”（=HIGH）ならSIGAは“1”となり、次のCLKAのくるまでSIGAを“1”の状態とする。

【0006】次のCLKAの立ち上がり時に、図16に示すように、SIGOが“0”（=LOW）となっていたら、SIGAは“1”から“0”に切り替わる。もし、次のCLKAの立ち上がり時にも、SIGOが“1”の状態であると、SIGAは“1”の状態を継続する。このようにして、リセット信号となるSIGOは、SIGAとして回路72から出力される。

【0007】次に、このSIGAを回路73のレジスタ75に入れてCLKBによって、このCLKBに同期したSIGBを取り出す。このCLKBによる同期化は、先のCLKAと同様に行われる。すなわち、CLKBの立ち上がり時のSIGAの状態を検出し、SIGAが“1”（=HIGH）ならSIGBは“1”となり、“0”（=LOW）なら“1”から“0”に切り替わる。これによって、SIGOからわずかに時間的に遅れるものの、CLKBに同期化したSIGBを得ることができる。

【0008】しかし、この非同期吸収回路71は、例えば、回路72が周波数10MHzで動作しているとき、

4

周波数23MHzで動作している回路73にSIGAを送る場合、図16に示すタイミングでは、CLKBが3回立ち上がる大きさの信号となるものの、他のタイミングでは4回となったり、2回となったりし、SIGBの幅が時によって異なるものとなる。このようになると、正常な動作は保証できにくい。すなわち、CLKBが何回も立ち上がると、しかもその回数がその度になると、回路75は不安定な動作となってしまう。

【0009】また、CLKAに対してCLKBがわずかに高くなる程度の場合、図17に示すように、SIGAとCLKBのタイミングによって、SIGBは実線で示すようにCLKBの2つ分の立ち上げ幅となった入り、一点鎖線で示すようにCLKBの3つ分の立ち上げ幅となったりする。このような状態が生ずると、回路73は動作が安定しない。さらに、図18に示すように、CLKAに比べCLKBが小さい周波数の場合、定常的に信号の取りこぼしが生ずる。

【0010】また、非同同期間で信号のやり取りを行う場合、図19に示すように、回路72でSIGAが“0”（=LOW）から“1”（=HIGH）に変化している最中にCLKBの立ち上げが生ずると、SIGBにおいていわゆるメタステーブル状態と言われる現象が生ずることがある。このメタステーブル状態は、SIGBが“0”でも“1”でもない状態で電力消費が極めて大きくなってしまいう状態である。なお、このメタステーブル状態は、CLKBの周期が20ns程度であると、10ns程度の期間続き、その後、“0”または“1”に落ち着く。しかし、メタステーブル状態における電力の多大な消費は、ネットワークコンピュータ等の携帯端末にとっては、大きな問題となると共に大きな電流が回路部に流れると部品が破壊されてしまう。

【0011】本発明は、上述の問題に鑑みて、異なるクロック周波数で動作している回路間での信号のやり取りを確実に実行する非同期吸収回路を提供することとする。さらに、他の発明では、メタステーブル状態の伝播を確実に防ぐことができる非同期吸収回路を提供することを目的とする。

【0012】

【課題を解決するための手段】かかる目的を達成するため、請求項1記載の非同期吸収回路では、所定の信号および第1のクロックを入力して、その第1のクロックの立ち上げまたは立ち下げを利用して、その第1のクロックに同期した第1の信号を生成する第1信号生成回路部と、第1の信号および第1のクロックより高い周波数の第2のクロックを入力して、その第2のクロックの立ち上げまたは立ち下げを利用して、その第2のクロックに同期した第2の信号を生成する第2信号生成回路部と、第2の信号および第2のクロックを入力して、その第2のクロックの立ち上げまたは立ち下げを利用してその第2のクロックに同期した第3の信号を生成する第3信号

5

生成回路部と、第2の信号および第3の信号を入力して両信号が異なる状態である期間を第4の信号として生成する第4信号生成回路部とを備えている。

【0013】このように第1の信号を受信する受信側にレジスタとして作用する信号生成回路部を複数個設けているため、第2のクロックに同期しかつ常に所定の大きさの信号を生成できるため、第2のクロックで動く回路部分の動作を正常に行わせることができる。

【0014】また、請求項2記載の非同期吸収回路では、所定の信号および第1のクロックを入力して、その第1のクロックの立ち上げまたは立ち下げを利用して、その第1のクロックに同期した第1の信号を生成する第1信号生成回路部と、第1の信号および上記第1のクロックより高い周波数の第2のクロックを入力して、その第2のクロックの立ち上げまたは立ち下げを利用して、その第2のクロックに同期した第2の信号を生成する第2信号生成回路部と、第2の信号および第2のクロックを入力して、その第2のクロックの立ち上げまたは立ち下げを利用してその第2のクロックに同期した第3の信号を生成する第3信号生成回路部と、第3信号および第2のクロックを入力してその第2のクロックの立ち上げまたは立ち下げを利用して、第2のクロックに同期した第4の変更信号を生成する第4変更信号生成回路部と、第3の信号および第4の変更信号を入力して、両信号が異なる状態である期間を第5の信号として生成する第5信号生成回路部とを備えている。

【0015】このため、第2のクロックで動くレジスタ的な信号生成回路部を少なくとも3つ設けることとなるため、第1信号生成回路部から第2信号生成回路部への信号入力時に、第2信号生成回路部にメタステーブル状態が発生しても、その第2信号生成回路部の中だけにそのメタステーブル状態を閉じこめることができる。この結果、メタステーブル状態の伝播を抑えることで、電力消費の増大を抑えることができる。

【0016】さらに、請求項3記載の発明では、請求項1または2記載の非同期吸収回路において、入力してきた信号に対しての同期信号を取る第2信号生成回路部に相当する回路部を、第2信号生成回路部と第3信号生成回路部との間に1個以上設けている。

【0017】このように、第2信号生成回路部と同様な回路部を1個以上追加しているので、回路の正常操作やメタステーブル状態の伝播防止を一層確実にに行わせることができる。

【0018】また、請求項4記載の非同期吸収回路は、第1のクロックのサイクル幅が、第2のクロックのサイクル幅を2倍したサイクル幅より小さくなる第1のクロックを使用すると共に、所定の信号および第1のクロックの各サイクル幅を n 倍(n は2以上の整数)する分周手段を第1信号生成回路部の手前側に設けている。

【0019】このように、クロック周波数を分周してい

6

るので、第1のクロックのサイクル幅が第2のクロックのサイクル幅を2倍したより小さい場合でも、異なるクロック周波数で動作する回路間での信号のやり取りを確実に行えることとなる。

【0020】さらに、請求項5記載の非同期吸収回路では、所定の信号および第1のクロックを入力して、その第1のクロックの立ち上げまたは立ち下げを利用して、その第1のクロックに同期した第1の信号を生成する第1信号生成回路部と、第1の信号および第1のクロックより高い周波数の第2のクロックを入力して、その第2のクロックの立ち上げまたは立ち下げを利用して、その第2のクロックに同期した第2の信号を生成する第2信号生成回路部とを備え、第1のクロックのサイクル幅が、第2のクロックのサイクル幅を2倍したサイクル幅より小さくなる第1のクロックを使用すると共に、第1信号生成回路部の後に、第1のクロックによる第1の信号の状態を、その第1のクロックを基準として m 個おき(m は1以上の整数)に取って $m+1$ 個の信号を生成する振り分け回路を設け、この振り分け回路による各信号を $m+1$ 個の第1信号生成回路部と同様な回路部に入力させ、各信号を請求項1から3のいずれか1項記載の非同期吸収回路によって処理している。

【0021】このように、出力信号を複数の回路に振り分けて異なるクロック周波数を有する非同期回路に出力しているため、分周のように回路的に重いものとならず、各種のクロック周波数に対応することができる。

【0022】また、請求項6記載の非同期吸収回路では、第1の回路から送られる映像信号を受け取る第2の回路と、第2の回路からの表示信号によって画像を表示する表示手段とを有し、映像信号による仮想表示領域に比べ、表示信号による現表示領域が小さいものとなる画像表示装置用の非同期吸収回路において、表示信号を第1の回路へフィードバックし、映像信号中の画像データが現表示領域中に現れない場合、その画像データを第2の回路に送出しないようにしている。

【0023】このように、受信側の回路の状態に応じて出力側の信号を制御するため、非同期の回路間であっても画像データを問題なく受け渡しができることとなる。しかも、表示されない部分の画像データは、受信側に送られないため、余分なデータが送られなくなり、表示速度を高速化できる。

【0024】また、請求項7記載の非同期吸収回路では、第1のクロックで動く第1の回路と、この第1の回路からの映像信号を受け取る第2のクロックで動くインタフェイス回路となる第2の回路と、第1の回路に設けられる第1のカウントと、第2の回路に設けられる第2のカウントとを備え、送信する映像信号中の画素数を第1のカウントによってカウントし、受信する現画素数を第2のカウントによってカウントし、第2のカウントによるカウント値が所定数になる毎に、第2の回路から第

7

1の回路へフィードバック信号を送信し、送信画素数と受信画素数の同期を取るようになっている。

【0025】このように、第1の回路のクロックとは異なるクロックで動いている第2の回路から第1の回路に、制御信号となるフィードバック信号を送っているため、異なるクロックで動作するカウンタ等の回路がほぼ同期して動作するようになる。この結果、画像データ等を他のデータと同期化させることが可能となる。

【0026】

【発明の実施の形態】以下、本発明の実施の形態の例を図1から図14に基づき説明する。なお、最初に図1および図2に基づいて、第1の実施の形態の非同期吸収回路1について説明する。

【0027】この非同期吸収回路1は、図1に示すように、所定の信号となる映像のリセット信号（以下シグナルOという）および第1のクロック周波数（以下クロックAという）を入力し、第1の信号（以下シグナルAという）を生成する第1信号生成回路部となる第1レジスタ2と、シグナルAと第2のクロック周波数（以下クロックBという）を入力し、第2に信号（以下シグナルBという）を生成する第2信号生成回路部となる第2レジスタ3と、シグナルBとクロックBを入力し、第3の信号（以下シグナルCという）を生成する第3信号生成回路部となる第3レジスタ4と、シグナルBとシグナルCを入力し、第4の信号（以下シグナルDという）を生成する第4信号生成回路部5とを有している。

【0028】第1レジスタ2は、図2に示すように、クロックAの立ち上げ時点のシグナルOの状態を次のクロックAの立ち上げ時点まで保存するものとなっている。なお、次のクロックAの立ち上げ時のシグナルOの状態が前回と同じ場合、その状態を維持し、異なる場合は反転する。このような動作は、第2レジスタ3、第3レジスタ4も同様となっていると共に先に示したレジスタ74、75と同様となっている。この実施の形態では、クロックAは、6MHz～33MHzの周波数となっており、クロックBは50MHzとなっている。また、シグナルOは、後述するネットワークディスプレイ10に送信されてくる映像データの立ち上げ信号（リセット信号）となっている。また、クロックAは、ネットワークディスプレイ10の表示部11の大きさ等に合わせて変更される周波数であり、クロックBは、後述するネットワークディスプレイ10の固有のクロック周波数となっている。

【0029】図2（A）のシグナルOは、第1レジスタ2によって、図2（C）のシグナルAとなる。そして、クロックBとシグナルAは、第2レジスタ3によってシグナルBとなる。このシグナルBを生成するまでは、先に示した図15および図16の技術と同様である。この後、シグナルBとクロックBを第3レジスタ4に入力させる。すると、シグナルBに対して、クロックBの1周

8

期分だけ遅延したシグナルCが生成される。

【0030】このシグナルCと先に生成されたシグナルBを第4信号生成回路部5へ入力させる。すると、第4信号生成回路部5は、このシグナルBが“1”でシグナルCが“0”のときのみHIGH（＝“1”）の信号を生成する。この第4信号生成回路部5は、このような信号であるシグナルDを生成するものとなっている。

【0031】このシグナルDは、シグナルOに比べわずかに時間的に遅延しているが、確実にクロックBの1周期分として検出される。このため、クロックAに同期した信号（シグナルA）に基づいて、クロックBに同期し、かつ幅が常に同一となる信号（＝シグナルD）が発生する。

【0032】以上のような非同期吸収回路1は、図3に示すようなネットワークディスプレイ10の中に組み込まれる。このネットワークディスプレイ10は、中央の液晶からなる表示部11と、表示部11の周辺に配置される操作部12と、音を出力するスピーカ部13と、インターネット上の特定のウェブページにアクセスできる磁気カードが挿入され、そのアドレスを読み取ったり、その他の磁気カードを読み取る磁気カード部14と、電流ラインやホストとなるパソコン等に接続される接続部15とから主に構成されている。

【0033】表示部11の左右の操作部12は、1～10の10種類のメニュー釦12aがあり、この各釦12aに近接した表示部11に対応する操作メニューの表示がなされる。例えば、このネットワークディスプレイ10とLANに接続されるパソコン内に保管されている各種のアニメーションをその番号によって選択するようにする。すなわち、1番のメニュー本12aを押すと、1番のアニメーションが再生されるようにする。また、表示部11の下側には、インターネット上のホームページにアクセスしたときの各種の操作釦部12bが配置されている。また、磁気カードリーダ部14の近傍に、画面の操作矢印を上下左右に動かすために指示操作部12cが設けられている。

【0034】このようなネットワークディスプレイ10の回路構成は次のとおりとなっている。すなわち、ネットワークディスプレイ10は、図4に示すように、LCD（液晶）からなる表示部11と、制御手段となるCPUメモリ（＝中央処理装置）21と、専用グラフィックスLSI22と、プログラムROM23と、パソコン等の外部情報源24からの指示を受けCPUメモリ21に伝えたり、CPUメモリ21からの指示をパソコンに伝えるデータ受送信回路25と、専用グラフィックスLSI22に接続されるVRAM（ビデオラム）26と、外部のアンプやスピーカ部に音を供給するサウンド回路27と、表示部11を駆動制御する表示部用LSI28と、表示用プログラム等を記憶するメモリ29とから構成される。

【0035】ここで、非同期吸収回路1は、専用グラフィックスLSI22とサウンド回路27との間や専用グラフィックスCS I 22と表示用LSI28との間等に設けられる。なお、外部情報源24は、ネットワークディスプレイ10の外部にあって、ネットワークディスプレイ10の表示内容を大極的に制御するものとなっている。また、プログラムROM23には、CPUメモリ21がウェブブラウザや表示用プログラムから特定のデータを取り込み、表示の制御をするためのプログラムと、外部情報源24からの指令を受け取り、表示の流れを切り替えたり、指示された特定の画像を指定された特定の位置へ表示する処理を行うためのプログラムとが格納されている。

【0036】ここで、専用グラフィックスLSI22は、CPUメモリ21によって各画面間のシーケンスの制御を受ける一方、各画面での一連の画像やスプライトの表示については、メモリ29中のプログラムやデータを見に行きそのプログラムやデータに基づいて、そのスプライト等の一連の動きを制御するようになっていく。さらに、VRAM26は、2画面分を取り込めるものとなっている。2画面としたのは、1画面を表示用として、もう一画面を書き込み用としたためである。この2画面方式により書き込み途中のちらつきをなくし、画質を向上させている。また、サウンド回路27は、8ビット、8KHZ、1チャンネルのものとなっているが、他の値のものを適宜採用できる。

【0037】次に、図5および図6に基づいて、第2の実施の形態の非同期吸収回路30について説明する。この非同期吸収回路30は、第1の実施の形態と同様にネットワークディスプレイ10に使用される。

【0038】この非同期吸収回路30は、メタステーブル状態が発生しても、その影響を完全に防止できる回路となっているもので、基本的には第1の実施の形態の非同期吸収回路1と同様の構成となっている。このため、第1の実施の形態と同一の部材には、同一の符号を付し、同一の信号には同一の語を使用して説明することとし、その詳細な説明を省略または簡略化するものとする。

【0039】この非同期吸収回路30は、シグナルOとクロックAが入力する第1レジスタ2と、シグナルAとクロックBが入力する第2レジスタ3と、シグナルBとクロックBが入力する第3レジスタ4と、シグナルCとクロックBが入力し、第4変更信号（以下シグナルEという）を生成する第4変更信号生成回路部となる第4レジスタ6と、シグナルCとシグナルEを入力し、第5信号（以下シグナルFという）を生成する第5信号生成回路部7とを有している。ここで、第5信号生成回路部7は、第1の実施の形態の第4信号生成回路5と同一機能を有するものとなっている。

【0040】この非同期吸収回路30は、シグナルBを

生成する際、上述したメタステーブル状態が発生しても、その状態を伝播させないものとなっている。すなわち、シグナルBが図6に示すように、メタステーブル状態部分8とその後の“1”または“0”に落ち着く定常部分9を含む信号となったとしても、次のクロックBの時は、シグナルBは“1”または“0”となっている。このため、シグナルCとシグナルEは、それぞれ確定的な信号となると共に、クロックBの1周期分ずれた信号となる。なお、図6に示すように、定常部分9が“1”のときは、シグナルC、Eは実線となり、このため、第5信号生成回路部7は、クロックBの1周期分がHIGHとなるシグナルFを生成するようになる。この結果、メタステーブル現象が発生しても、回路中に大量の電流が流れるようなことは生じない。しかも、確実に信号シグナルOに基づいて1クロック分のシグナルFを発生させることができる。なお、定常部分9が“0”のときは、1点鎖線で示すシグナルFとなる。次に、図7および図8に基づいて、第3の実施の形態の非同期吸収回路31を説明する。

【0041】この非同期吸収回路31は、第2の非同期吸収回路30において、使用するクロックAとクロックBとの関係が、クロックAの方がクロックBと比べ高い周波数となる場合に使用される。例えば、クロックAが20MHZで、クロックBが15MHZのような場合、非同期吸収回路30では、シグナルOをクロックAでたたいた場合、図8（H）のシグナルA'が形成され、その後、クロックBがこのシグナルA'を取ろうとすると、図8（I）のシグナルB'のように信号を取ることができなくなることがある。

【0042】この第3の実施の形態の非同期吸収回路31は、第2の実施の形態の非同期吸収回路30の上流側に分周手段32を設けたものとなっている。この非同期吸収回路31では、映像信号の最初の部分等の重要な信号となるシグナルOと、クロックAを分周手段32で、周波数を2倍にし、図8（C）のシグナルO'と図8（D）のクロックA'を作る。そして、これらのシグナルO'とクロックA'を第2の実施の形態の非同期吸収回路30の第1レジスタ2に入れ、シグナルAを生成し、その信号を第2レジスタ3へ入力させる。そして、クロックBでこのシグナルAをたたき、シグナルBを生成する。その後は、第2の実施の形態の非同期吸収回路30と同様となる。

【0043】この実施の形態では、例えば、第1および第2の実施の形態において、シグナルAの2クロック分で1画素を出すようにされているとしたら、この第3の実施の形態では、2クロック分で2画素を一度に取り出すようになる。分周手段22で、シグナルOやクロックAを2倍以外の3倍や4倍等整数倍にして、周波数を落とし、信号のサイクル幅を広くしても良い。

【0044】次に、図9および図10に基づいて、第4

11

の実施の形態の非同期吸収回路41について説明する。

【0045】この非同期吸収回路41は、図1に示す第1レジスタ2の後に振り分け回路42を設けている。これは第3の実施の形態の非同期吸収回路31の場合のように、分周手段32を設けると、回路的に速度が遅くなるため、常にこの分周手段32を採用できないため、この分周手段32と同様の役割を振り分け回路42によって果たそうとするものである。

【0046】すなわち、この非同期吸収回路41は、基本的に、クロックAの方が、クロックBに比べ高い周波数となっている場合に採用される。換言すれば、クロックAのサイクル幅がクロックBのサイクル幅より狭くなっている場合に採用される。なお、詳細に言えば、この非同期吸収回路41も先に示した非同期吸収回路31も共に、クロックAのサイクル幅が、クロックBのサイクル幅を2倍にしたサイクル幅より小さくなる場合に使用される。これは、クロックAのサイクル幅がクロックBのサイクル幅を2倍にした幅より大きければ、クロックAによるパルス信号をクロックBでパルス信号として確実に取得することができるためであり、この条件を満足しなくなると、クロックBで信号を拾えなくなる危険性があるためである。

【0047】この非同期吸収回路41は、第1レジスタ2で生成されるシグナルAをクロックAの偶数番目のクロック時の状態と奇数番目のクロックの状態とに振り分け回路42で振り分けている。すなわち、図10に示すように奇数番目の時の状態における信号は、ODD信号42aとなり、偶数番目の時の状態における信号は、EVEN信号42bとなる。

【0048】具体的には、ODD信号42aは、図10で示す例では、奇数番目のシグナルAの状態であり、「10001…」となり、EVEN信号42bは、「001010…」となる。そして、この状態を第1信号生成回路部2と同様な回路部となるレジスタ43とレジスタ44にそれぞれ入力し、クロックAで捨うと、図10(E)(F)に示すシグナルAODDとシグナルAEVENとなる。この生成された各信号は、シグナルAのサイクル幅より広いサイクル幅となっている。

【0049】図9で示す非同期吸収回路41は、奇数と偶数の2つに分ける例であるが、n個おきにクロックAを取ることににより、n+1個の信号に分けることができる。例えば、3個おきに取ると、4つの信号が得られ、各信号のサイクル幅は4倍となる。

【0050】次に、図11および図12に基づいて、第5の実施の形態の非同期吸収回路51について説明する。この非同期吸収回路51は、第1から第4の実施の形態と同様にネットワークディスプレイ10の中に組み込まれるものとなっている。

【0051】この非同期吸収回路51は、クロックCで動作する第1の回路52と、クロックCと異なるクロッ

12

ク周波数のクロックDで動作する第2の回路53と、液晶等で構成される表示手段54とから主に構成される。この実施の形態では、第1の回路52からは、映像信号となるシグナルGが第2の回路53に送られる。第2の回路53からは、表示信号(制御信号を含む)となるシグナルHが表示手段54に送られる。表示手段54は、表示信号を表示する表示部54aを有している。また、第2の回路53で発生したシグナルHを第1の回路52に制御信号としてフィードバックしている。

【0052】シグナルGは、580×262画素からなる仮想表示領域55全体を表示できる映像信号となっている。一方、シグナルHは、320×240画素からなる現表示領域56に画像データを表示するための信号となっている。そして、シグナルH中に、すなわち、現表示領域56中に画像データが無く、一方、仮想表示領域55に、画像データ57が存在するとき、画像データ57を第2の回路53に送る必要はない。しかし、従来のものではそのまま送信している。この非同期吸収回路51では、シグナルHが第1の回路52にフィードバックされているので、画像データ57やその他のフレームデータを送らないようにできる。

【0053】一方、現表示領域56には、その画面中の最後の画素58が次のフレームでも表示され続ける。このため、クロックCで動作する第1の回路52からのシグナルGは、シグナルHに基づく制御信号によって制御され、シグナルHに対して同期化させることができる。しかも、第1の回路52から第2の回路53への余分な送信を行う必要がなくなる。

【0054】次に、図13および図14に示す第6の実施の形態の非同期吸収回路61について説明する。なお、この非同期吸収回路61も、第1から第5の実施の形態と同様にネットワークディスプレイ10の中に組み込まれるものとなっている。

【0055】この非同期吸収回路61は、クロックEで動作する第1の回路62と、クロックEと異なる周波数のクロックFで動作する第2の回路63と、第1の回路62に設けられる第1のカウンタ62aと、第2の回路63に設けられる第2のカウンタ63aと、表示手段64とから主に構成される。この実施の形態では、第1の回路62からは、映像信号となるシグナルJが第2の回路63に出力され、第2の回路63から表示手段64に表示信号となるシグナルKが出力される。そして、シグナルKは、制御信号として第1の回路62にフィードバックされる。

【0056】シグナルJは、先に示したシグナルGと同様で、シグナルKはシグナルHと同様となっている。そして、この非同期吸収回路61では、第1の回路62から送る画像データの画素数を第1のカウンタ62aでカウントする。一方、第2の回路63では、送られてきた画素数を第2のカウンタ63aでカウントする。そし

て、仮想表示領域 55 中の一走査ライン終了時点毎に、すなわち 580 画素分を第 2 の回路 63 が受け取る毎に、その旨の制御信号を第 1 の回路 62 に出力する。これによって、第 1 の回路 62 と第 2 の回路 63 との同期を取っている。なお、1 走査ライン毎のフィードバックが好ましいが、数ライン毎や現表示領域の最終画素毎にフィードバックさせるようにしても良い。

【0057】このような制御信号を設けていないと、違う周波数のクロックで同じ映像を出し続ける必要があるこの種の回路では、映像の位置が乱れ画像がおかしなものになってしまう危険性が高くなる。しかし、この非同期吸収回路 61 では、第 2 のカウンタ 63a のカウント値に基づいて、すなわち、第 2 の回路 63 に基づいて第 1 の回路 62 側を制御しているので、異なるクロックであっても両回路 62、63 で同じ映像を出し続けることができる。このため、表示手段 64 で表示される画像は安定したものとなる。

【0058】なお、上述の各実施の形態は、本発明の好適な実施の形態の例ではあるが、これに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形実施可能である。例えば、各非同期吸収回路 1、30、31、41、51、61 が組み込まれる装置は、ネットワークディスプレイ 10 ではなく、パソコン、サーバー等他の装置としても良い。

【0059】また、同期を取る際、クロック信号の立ち上げではなく、立ち下がりを利用して良い。さらに、第 4 の信号となるシグナル D や第 5 の信号となるシグナル F を生成する際、「異なる状態である期間」としては、入力してくる 2 つの信号の重ならない部分でかつ前方側を取り出しているが、重ならない部分の後方側を取り出すようにしても良い。また、映像データや音声データを扱う回路ではなく、テキストデータや図形データ等他のデータを扱う回路に適用しても良い。すなわち、クロック周波数が異なる回路間でデータをやり取りする時一般に、本発明を適用することができる。

【0060】

【発明の効果】以上説明したように、各請求項記載の非同期吸収回路では、異なるクロック周波数で動作している回路間でのデータのやり取りを、非同期でありながら同期と同じように扱うことが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の非同期吸収回路のブロック図である。

【図 2】図 1 の回路における各信号のタイミングチャートである。

【図 3】図 1 の非同期吸収回路が組み込まれるネットワークディスプレイの外観斜視図である。

【図 4】図 3 のネットワークディスプレイの回路のブロック図である。

【図 5】本発明の第 2 の実施の形態の非同期吸収回路の

ブロック図である。

【図 6】図 5 の回路における各信号のタイミングチャートである。

【図 7】本発明の第 3 の実施の形態の非同期吸収回路のブロック図である。

【図 8】図 7 の回路における各信号のタイミングチャートである。

【図 9】本発明の第 4 の実施の形態の非同期吸収回路のブロック図である。

【図 10】図 9 の回路における各信号のタイミングチャートである。

【図 11】本発明の第 5 の実施の形態の非同期吸収回路のブロック図である。

【図 12】図 11 の回路における仮想表示領域と現表示領域を示す図である。

【図 13】本発明の第 6 の実施の形態の非同期吸収回路のブロック図である。

【図 14】図 13 の回路における仮想表示領域と現表示領域を示す図であり、走査ラインを含めて示す図である。

【図 15】先に本発明者が検討した非同期吸収回路のブロック図である。

【図 16】図 15 の回路における各信号のタイミングチャートである。

【図 17】図 15 の回路が不安定な動作をする場合の例を説明するためのタイミングチャートである。

【図 18】図 15 の回路が不安定な動作をする場合の他の例を説明するためのタイミングチャートである。

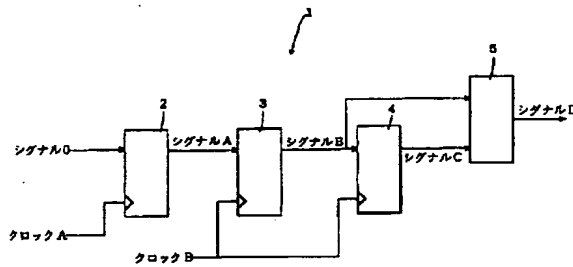
【図 19】図 15 の回路が不安定な動作をする場合の例で、メタステーブル状態となる場合を説明するためのタイミングチャートである。

【符号の説明】

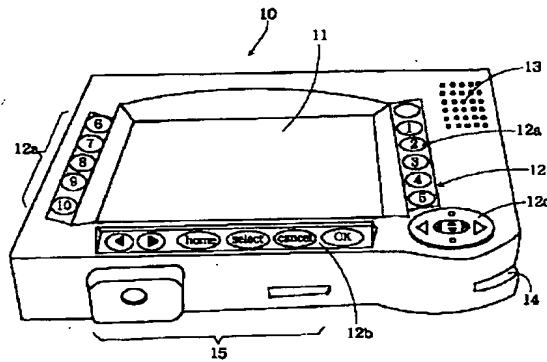
- 1 非同期吸収回路
- 2 第 1 レジスタ (第 1 信号生成回路部)
- 3 第 2 レジスタ (第 2 信号生成回路部)
- 4 第 3 レジスタ (第 3 信号生成回路部)
- 5 第 4 信号生成回路部
- 6 第 4 レジスタ (第 4 変更信号生成回路部)
- 7 第 5 信号生成回路部
- 10 ネットワークディスプレイ
- 11 表示部
- 21 CPU メモリ
- 22 専用グラフィックス LSI
- 26 VRAM
- 27 サウンド回路
- 28 表示用 LSI
- 30 非同期吸収回路
- 31 非同期吸収回路
- 32 分周手段
- 41 非同期吸収回路

- 15
- 42 振り分け回路
51 非同期吸収回路
52 第1の回路
53 第2の回路
54 表示手段
55 仮想表示領域
56 現表示領域

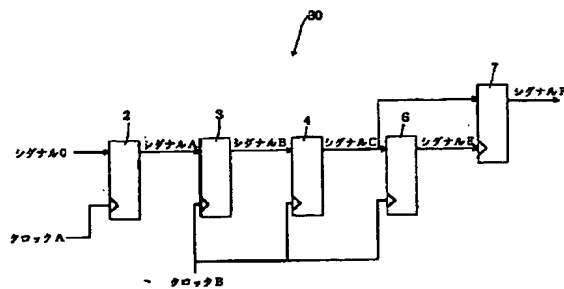
【図1】



【図3】



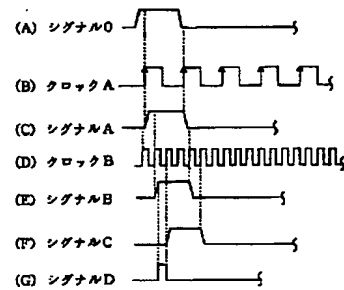
【図5】



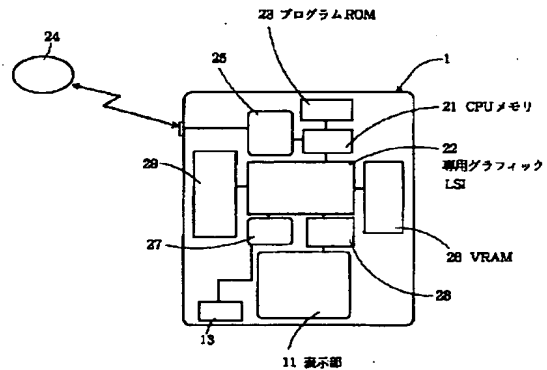
16

- 61 非同期吸収回路
62 第1の回路
62a 第1のカウンタ
63 第2の回路
63a 第2のカウンタ
64 表示手段

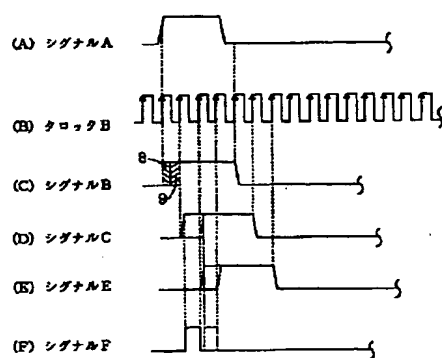
【図2】



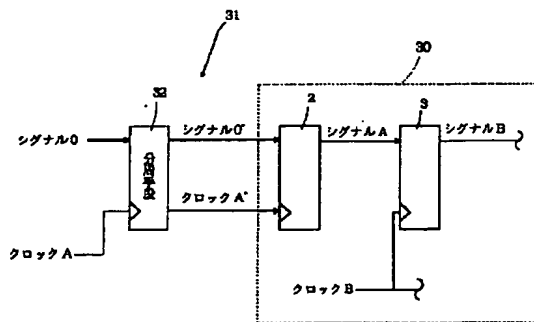
【図4】



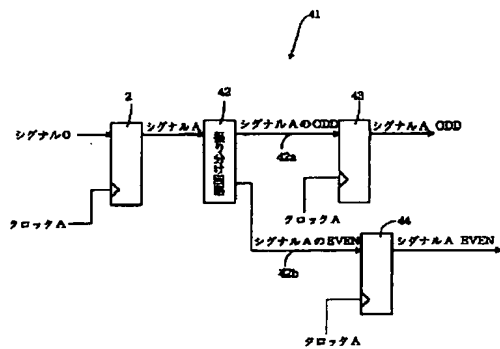
【図6】



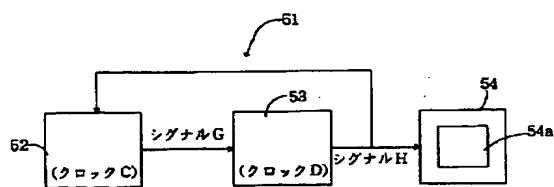
【図 7】



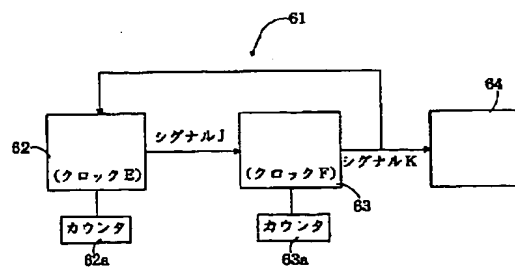
【図 9】



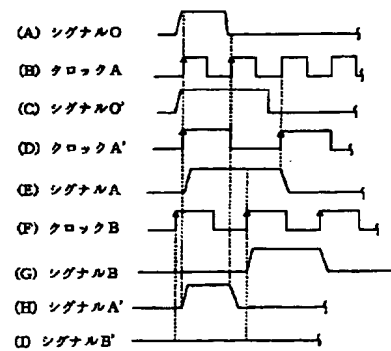
【図 11】



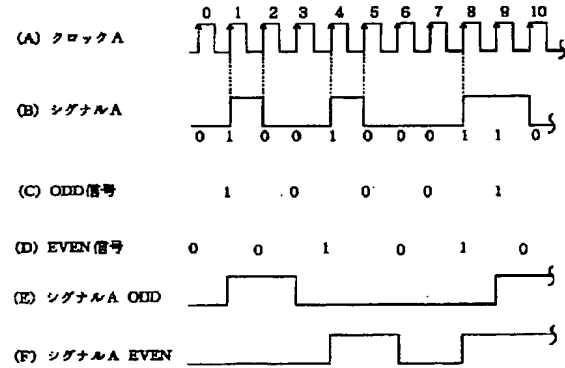
【図 13】



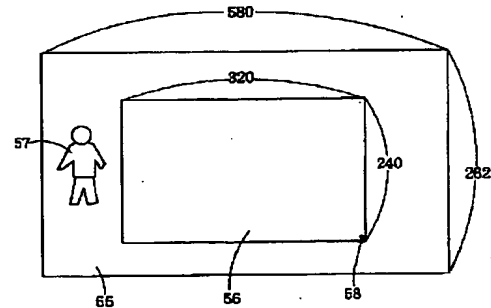
【図 8】



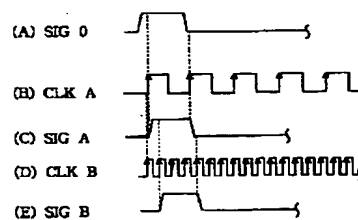
【図 10】



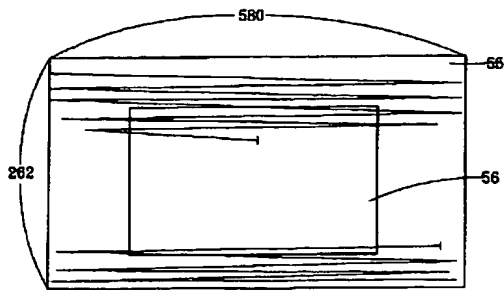
【図 12】



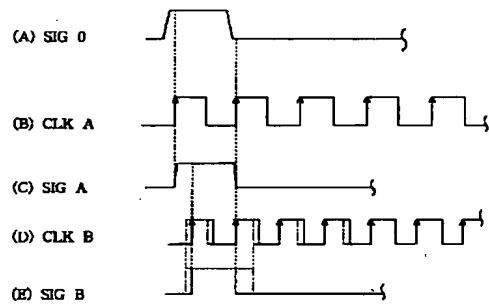
【図 16】



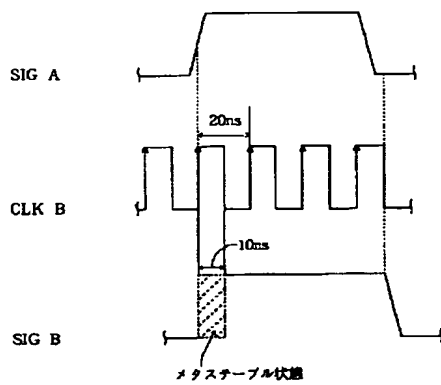
【図14】



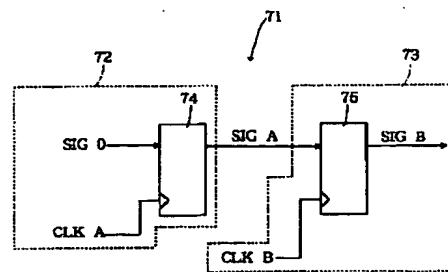
【図17】



【図19】



【図15】



【図18】

